



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020000015301 (43) Publication.Date. 20000315

(21) Application No.1019980035129 (22) Application Date. 19980828

(51) IPC Code:

G11C 16/00

(71) Applicant:

HYUNDAI MICRO ELECTRONICS CO., LTD.

(72) Inventor:

SHIN, JONG SU

(30) Priority:

(54) Title of Invention

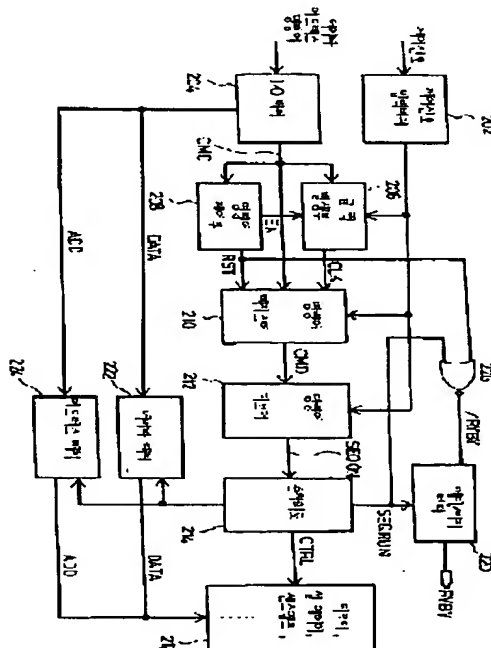
ERROR OPERATION PREVENTING CIRCUIT FOR A FLASH MEMORY

Representative drawing

(57) Abstract:

PURPOSE: An error operation preventing circuit for a flash memory is provided, which judges as to whether a command is normally inputted.

CONSTITUTION: The error operation preventing circuit for a flash memory comprises: an input/output buffer (204) for receiving a data, an address, and a command; a command control unit (208) for testing as to whether the command is satisfied with a predetermined specification and generating a reset signal when the command is not satisfied with the predetermined specification; a command register (210) for storing a command inputted through the input/output buffer (204) and being reset by the reset signal generated in the command control unit (208); a sequential circuit (214) for



signal generated in the command control unit (208); a sequential circuit (214) for

AL

performing an operation corresponding to the data inputted through the input/output buffer (204), the address, and the command outputted in the command register (210) and generating a first state signal during the performing. Thereby, it is possible to prevent the loss of the operation and the operation time of an unnecessary circuit.

COPYRIGHT 2000 KIPO

if display of image is failed, press (F5)

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.⁶ (11) 공개번호 특2000-0015301
G11C 16/00 (43) 공개일자 2000년03월 15일

(21) 출원번호 10-1998-0035129
(22) 출원일자 1998년08월28일
(71) 출원인 현대반도체 주식회사 김영환
충청북도 청주시 흥덕구 향정동 1번지
(72) 발명자 신중수
충청북도 청주시 흥덕구 가경동 세원3차 아파트 101동 1205호
(74) 대리인 양순석, 한윤근

심사청구 : 없음

(54) 플래쉬 메모리의 오동작 방지회로

요약

본 발명은 플래쉬 메모리의 오동작 방지회로에 관한 것으로, 비정상적으로 입력된 명령어가 순차회로에 도달하기 이전에 이를 미리 외부에 알려서 불필요한 회로의 동작과 동작시간의 손실을 미리 방지할 수 있도록 하는데 그 목적이 있다.

이와 같은 목적의 본 발명은 입출력 버퍼와 명령어 제어부, 명령어 레지스터, 순차회로, 동작상태신호 발생부를 포함하여 이루어진다. 입출력 버퍼는 데이터와 어드레스, 명령어를 입력받는다. 명령어 제어부는 입출력 버퍼에 입력된 명령어가 기 설정된 사양을 만족하는지를 검사하고, 명령어가 사양을 만족하지 않을 때 리셋신호를 발생시킨다. 명령어 레지스터는 입출력 버퍼를 통하여 입력된 명령어를 입력받아 저장하고, 명령어 제어부에서 발생하는 리셋신호에 의해 리셋된다. 순차회로는 입출력 버퍼를 통해 입력되는 데이터와 어드레스, 명령어 레지스터에서 출력되는 명령어를 입력받아 해당 동작을 수행하고, 동작을 수행하는 동안 제 1 상태신호를 발생시킨다. 동작상태신호 발생부는 리셋신호와 제 1 상태신호 가운데 적어도 하나의 신호의 논리값이 1일 때 순차회로가 동작중임을 알리는 제 2 상태신호를 발생시킨다.

대표도

도2

명세서

도면의 간단한 설명

도 1은 종래의 플래쉬 메모리의 오동작 방지회로를 나타낸 블록도.

도 2는 본 발명에 따른 플래쉬 메모리의 오동작 방지회로를 나타낸 블록도.

* 도면의 주요 부분에 대한 부호의 설명 *

102, 202 : 제어신호 입력버퍼	104, 204 : 입출력 버퍼
106, 206 : 클럭 발생부	108, 208 : 명령어 제어부
110, 210 : 명령어 레지스터	112, 212 : 명령어 디코더
114, 214 : 순차회로	120, 220 : 레디/비지 버퍼
122, 222 : 데이터 래치	124, 224 : 어드레스 래치
226 : 노어 게이트	

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플래쉬 메모리의 오동작 방지회로에 관한 것으로, 특히 명령어가 정상적으로 입력되었는지를 판단하는 회로에 관한 것이다.

플래쉬 메모리는 데이터와 어드레스를 입력받아 이를 메모리 셀 어레이에 기록하는데, 이때 소정의 프로그램이 수행되어 필요한 동작을 제어하게 된다. 이와 같이 프로그램을 수행하기 위해서는 외부에서 사용자 또는 다른 디바이스로부터 기초적인 명령어를 제공받아야 한다. 이 과정에서 입력되는 명령어가 잡음

또는 논리적 오류 때문에 비정상적으로 입력되면 그때까지 입력된 명령어들은 모두 무시하고 새로운 명령어를 입력받게 된다.

이와 같은 종래의 플래쉬 메모리의 오동작 방지회로의 블록도를 도 1에 나타내었다.

먼저, 제어신호 입력버퍼(102)에는 제어신호 입력패드를 통하여 여러 가지 제어신호가 입력된다. 입력되는 제어신호로는 리드/라이트 인에이블 신호와 칩 인에이블 신호가 있으며, 이후 설명하게 될 입출력 버퍼(104)에 입력되는 데이터(DATA)와 어드레스(ADD), 명령어(CMD)를 구분하기 위한 신호가 입력된다.

입출력 버퍼(104)에는 I/O 패드를 통해 데이터(DATA)와 어드레스(ADD), 명령어(CMD)가 입력된다.

명령어 제어부(108)는 입출력 버퍼(104)를 통하여 명령어(CMD)를 입력받고, 이 명령어(CMD)가 기 설정된 사양을 만족하는지를 검사한다. 만약 그 결과가 명령어 제어부(108)에 설정되어 있는 소정의 기대값을 만족시키면 명령어(CMD)가 정상적인 순서로 입력된 것으로 판단한다.

반대로 기대값을 만족시키지 못하면 명령어(CMD)가 정상적인 순서로 입력되지 않은 것으로 판단한다. 이와 같이 명령어(CMD)가 정상적으로 입력되지 않은 경우에는 리셋신호(RST)를 발생시킨다.

명령어 레지스터(110)는 입출력 버퍼(104)에서 출력되는 명령어(CMD)를 입력받아 저장하는데, 명령어 제어부(108)에서 발생하는 리셋신호(RST)에 의해 리셋된다.

클럭 발생부(106)는 명령어 제어부(108)에서 발생하는 클럭 인에이블 신호(EN)에 의해 활성화되어 소정 주파수의 클럭(CLK)을 발생시킨다. 이 클럭(CLK)은 입출력 버퍼(104)에서 출력되는 명령어(CMD)가 명령어 레지스터(110)에 입력될 수 있도록 한다. 만약 클럭 발생부(106)에서 클럭(CLK)이 발생하지 않는다면 명령어 레지스터(110)에는 명령어(CMD)가 입력되지 않는다.

명령어 디코더(112)는 명령어 레지스터(110)에서 출력되는 명령어(CMD)를 입력받아 디코딩한다.

이와 같은 클럭 발생부(106)와 명령어 레지스터(110), 명령어 디코더(112) 등은 상술한 제어신호 입력버퍼(102)에서 출력되는 제어신호 즉, 리드/라이트 인에이블 신호 등에 의해 제어된다.

순차회로(114)는 입력된 명령어(CMD)를 수행하는 실질적인 회로이다. 명령수행의 대상은 메모리 셀 어레이와 어드레스 디코더, 센스 앰프 등이며, 도 1에서 블록 118로 표시되어 있다. 또한 순차회로(114)는 명령어 디코더(112)에서 출력되는 디코딩된 명령어(SEQON)를 입력받아 해당 동작을 수행하기 위한 제어신호(CTRL)를 발생시키고, 동작을 수행하는 동안에는 동작중임을 알리는 제 1 상태신호(SEQRUN)를 발생시킨다.

입출력 버퍼(104)를 통하여 입력된 데이터(DATA)와 어드레스(ADD)는 각각 데이터 래치(122)와 어드레스 래치(124)에 저장되었다가, 순차회로(114)의 제어에 따라 블록 118의 어드레스 디코더와 센스앰프 등에 전달된다.

레디/비지 버퍼(120)에는 순차회로(114)에서 출력되는 제 1 상태신호(SEQRUN)가 입력된다. 만약 제 1 상태신호(SEQRUN)가 활성화된 경우에는 논리값 1의 신호를 레디/비지 패드(RYBY)를 통하여 출력한다. 이는 곧 현재 순차회로(114)가 동작중임을 의미하며, 반대로 논리값이 0이면 순차회로(114)가 동작하지 않는 것을 의미한다.

이와 같은 종래의 플래쉬 메모리의 오동작 방지회로에서는 명령어 레지스터(110)에 입력된 명령어(CMD)가 비정상적인 경우라도, 명령어(CMD)가 명령어 디코더(112)를 거쳐서 순차회로(114)에 도달한 이후에야 비로소 비정상적인 명령어(CMD)가 입력되었음을 알 수 있다.

즉, 비정상적인 명령어(CMD)가 순차회로(114)에 도달하고, 순차회로가 동작하지 않게되면(비정상적인 명령어이므로) 제 1 상태신호(SEQRUN)가 비활성화되고, 사용자는 그때 비로소 순차회로(114)가 동작하지 않는 것을 알고 비정상적인 명령어가 입력되었음을 인식하는 것이다.

따라서 그 동안에는 계속해서 새로운 명령어가 계속 입력되어 불필요한 동작이 발생하고, 또 명령어를 새로이 입력받아야 하므로 그에 따른 동작속도의 손실이 발생하는 것이다.

발명이 이루고자하는 기술적 과제

따라서 본 발명은 비정상적으로 입력된 명령어가 순차회로에 도달하기 이전에 이를 미리 외부에 알려서 불필요한 회로의 동작과 동작시간의 손실을 미리 방지할 수 있도록 하는데 그 목적이 있다.

이와 같은 목적의 본 발명은 입출력 버퍼와 명령어 제어부, 명령어 레지스터, 순차회로, 동작상태신호 발생부를 포함하여 이루어진다.

입출력 버퍼는 데이터와 어드레스, 명령어를 입력받는다.

명령어 제어부는 입출력 버퍼에 입력된 명령어가 기 설정된 사양을 만족하는지를 검사하고, 명령어가 사양을 만족하지 않을 때 리셋신호를 발생시킨다.

명령어 레지스터는 입출력 버퍼를 통하여 입력된 명령어를 입력받아 저장하고, 명령어 제어부에서 발생하는 리셋신호에 의해 리셋된다.

순차회로는 입출력 버퍼를 통해 입력되는 데이터와 어드레스, 명령어 레지스터에서 출력되는 명령어를 입력받아 해당 동작을 수행하고, 동작을 수행하는 동안 제 1 상태신호를 발생시킨다.

동작상태신호 발생부는 리셋신호와 제 1 상태신호 가운데 적어도 하나의 신호의 논리값이 1일 때 순차회로가 동작중임을 알리는 제 2 상태신호를 발생시킨다.

발명의 구성 및 작용

제어신호 입력버퍼(202)에는 제어신호 입력패드를 통하여 여러 가지 제어신호가 입력된다. 입력되는 제어신호로는 리드/라이트 인에이블 신호와 칩 인에이블 신호가 있으며, 이후 설명하게 될 입출력 버퍼(204)에 입력되는 데이터(DATA)와 어드레스(ADD), 명령어(CMD)를 구분하기 위한 신호가 입력된다.

입출력 버퍼(204)에는 I/O 패드를 통해 데이터(DATA)와 어드레스(ADD), 명령어(CMD)가 입력된다.

상술한 제어신호 입력버퍼(202)와 입출력 버퍼(204)는 TTL 레벨의 입력신호를 내부적으로 처리하기에 적합하도록 CMOS 레벨로 변환하기 위한 것이다.

명령어 제어부(208)는 입출력 버퍼(204)를 통하여 명령어(CMD)를 입력받고, 이 명령어(CMD)가 기 설정된 사양을 만족하는지를 검사한다. 이를 위하여 명령어 제어부(208)는 소정의 논리 회로로 구성되며, 입출력 버퍼(204)에서 출력되는 명령어(CMD)가 이 명령어 제어부(208)를 통과하게 된다. 그 결과가 명령어 제어부(208)에 설정되어 있는 소정의 기대값을 만족시키면 명령어(CMD)가 정상적인 순서로 입력된 것으로 판단한다.

반대로 기대값을 만족시키지 못하면 명령어(CMD)가 정상적인 순서로 입력되지 않은 것으로 판단한다. 이와 같이 명령어(CMD)가 정상적으로 입력되지 않은 경우에는 리셋신호(RST)를 발생시킨다.

명령어 레지스터(210)는 입출력 버퍼(204)에서 출력되는 명령어(CMD)를 입력받아 저장하는데, 명령어 제어부(208)에서 발생하는 리셋신호(RST)에 의해 리셋된다.

클럭 발생부(206)는 명령어 제어부(208)에서 발생하는 클럭 인에이블 신호(EN)에 의해 활성화되어 소정 주파수의 클럭(CLK)을 발생시킨다. 이 클럭(CLK)은 입출력 버퍼(204)에서 출력되는 명령어(CMD)가 명령어 레지스터(210)에 입력될 수 있도록 한다. 만약 클럭 발생부(206)에서 클럭(CLK)이 발생하지 않는다면 명령어 레지스터(210)에는 명령어(CMD)가 입력되지 않는다.

명령어 디코더(212)는 명령어 레지스터(210)에서 출력되는 명령어(CMD)를 입력받아 디코딩한다.

이와 같은 클럭 발생부(206)와 명령어 레지스터(210), 명령어 디코더(212) 등은 상술한 제어신호 입력버퍼(202)에서 출력되는 제어신호 즉, 리드/라이트 인에이블 신호 등에 의해 제어된다.

순차회로(214)는 입력된 명령어(CMD)를 수행하는 실질적인 회로이다. 이 순차회로는 별도의 프로그램 저장용 메모리(도면에는 도시하지 않았음)로부터 해당 명령어의 수행에 필요한 데이터 등을 인출하여 명령어(CMD)의 지시대로 동작을 수행하기 위한 제어신호(CTRL)를 발생시킨다.

동작의 대상은 메모리 셀 어레이와 어드레스 디코더, 센스 앰프 등이며, 도 2에서 블록 218로 표시되어 있다. 또한 순차회로(214)는 명령어 디코더(212)에서 출력되는 디코딩된 명령어(SEQON)를 입력받아 해당 동작을 수행하고, 동작을 수행하는 동안에는 동작중임을 알리는 제 1 상태신호(SEQRUN)를 발생시킨다.

입출력 버퍼(204)를 통하여 입력된 데이터(DATA)와 어드레스(ADD)는 각각 데이터 래치(222)와 어드레스 래치(224)에 저장되었다가, 순차회로(214)의 제어에 따라 블록 218의 어드레스 디코더와 센스앰프 등에 전달된다.

동작상태신호 발생부는 노어 게이트(226)와 레디/비지 버퍼(220)로 구성된다. 노어 게이트(226)에는 명령어 제어부(208)에서 출력되는 리셋신호(RST)와 순차회로(214)에서 출력되는 제 1 상태신호(SEQRUN)가 입력된다.

따라서 리셋신호(RST)와 제 1 상태신호(SEQRUN) 가운데 적어도 하나의 신호의 논리값이 1일 때 제 2 상태 신호(/RYBY)를 발생시켜서 현재 순차회로(214)가 동작중인 것을 표시한다.

만약 현재 명령어 레지스터(210)에 입력되어 있는 명령어(CMD)가 기 설정된 사양을 만족시키지 못한다면, 명령어 제어부(208)는 명령어 레지스터(210)를 리셋시키기 위하여 리셋신호(RST)를 발생시키므로, 노어 게이트(226)에서는 리셋신호(RST)의 발생과 동시에 제 2 상태 신호(/RYBY)를 발생시킨다.

따라서 명령어 레지스터(210)에 입력된 비정상적인 명령어가 명령어 디코더(212)를 거쳐서 순차회로(214)에 입력된 후에 제 2 상태신호(/RYBY)가 발생하는 경우보다 훨씬 빠르게 제 2 상태신호(/RYBY)가 발생하는 것이다.

레디/비지 버퍼(220)는 노어 게이트(226)의 출력을 입력받아 이를 반전시켜서 레디/비지 패드(RYBY)를 통하여 출력한다. 즉, 레디/비지 버퍼(220)의 출력신호의 논리값이 1이면 현재 순차회로(214)가 동작중임을 의미하며, 반대로 논리값이 0이면 순차회로(214)가 동작하지 않는 것을 의미한다. 이 레디/비지 버퍼(220)는 CMOS 레벨의 제 2 상태 신호(/RYBY)를 TTL 레벨로 변환시키기 위한 것이다.

발명의 효과

따라서 본 발명은 비정상적으로 입력된 명령어가 순차회로에 도달하기 이전에 이를 미리 외부에 알려서 불필요한 회로의 동작과 동작시간의 손실을 미리 방지할 수 있도록 하는 효과를 제공한다.

(57) 청구의 범위

청구항 1

플래쉬 메모리의 오동작 방지회로에 있어서,

데이터와 어드레스, 명령어를 입력받는 입출력 버퍼와;

상기 입출력 버퍼에 입력된 상기 명령어가 기 설정된 사양을 만족하는지를 검사하고, 상기 명령어가 상기 사양을 만족하지 않을 때 리셋신호를 발생시키는 명령어 제어부와;

상기 입출력 버퍼를 통하여 입력된 명령어를 입력받아 저장하고, 상기 명령어 제어부에서 발생하는 상기

리셋신호에 의해 리셋되는 명령어 레지스터와;

상기 입출력 버퍼를 통해 입력되는 상기 데이터와 상기 어드레스, 상기 명령어 레지스터에서 출력되는 명령어를 입력받아 해당 동작을 수행하고, 동작을 수행하는 동안 제 1 상태신호를 발생시키는 순차회로와;

상기 리셋신호와 상기 제 1 상태신호 가운데 적어도 하나의 신호의 논리값이 1일 때 상기 순차회로가 동작중임을 알리는 제 2 상태신호를 발생시키는 동작상태신호 발생부를 포함하는 플래쉬 메모리의 오동작 방지회로.

청구항 2

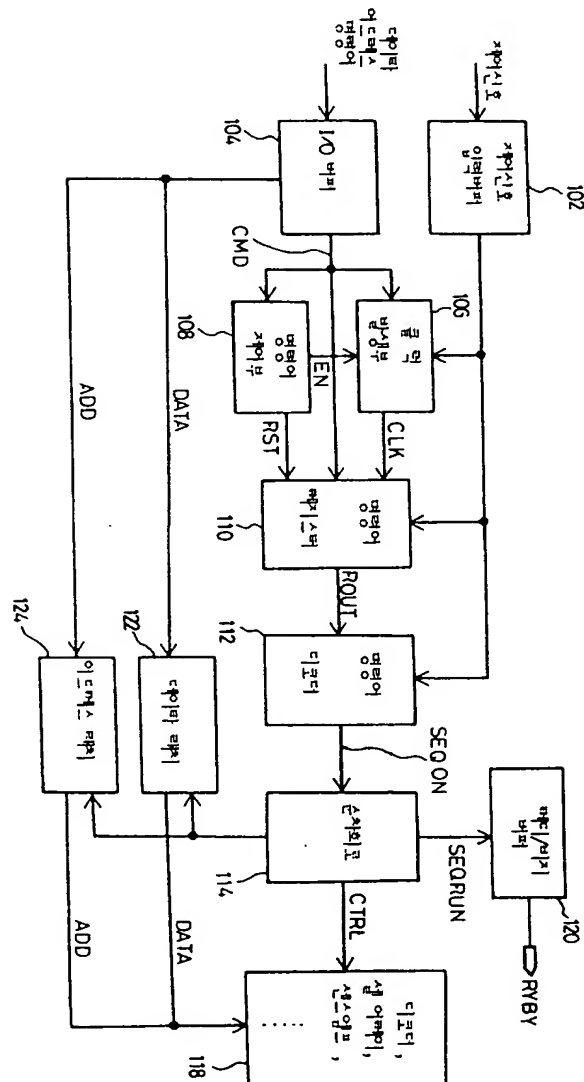
청구항 1에 있어서, 상기 동작상태신호 발생부는,

상기 리셋신호와 상기 제 1 상태신호가 입력되는 노어 게이트와;

상기 노어 게이트의 출력력을 반전 증폭시켜서 출력하는 출력버퍼를 포함하여 이루어지는 것이 특징인 플래쉬 메모리의 오동작 방지회로.

도면

도면 1



도면2

